

## Processador digital embarcado em transponder especificado para o SBCD

Vinícius Araújo Cavalcante<sup>1,2</sup>  
José Alberto Nicolau de Oliveira<sup>1</sup>  
Manoel Joseane Mafra de Carvalho<sup>2</sup>

<sup>1</sup> Universidade Federal do Rio Grande do Norte - UFRN  
Caixa Postal 1524 - 59072-970 - Natal - RN, Brasil  
nicolau@ufrnet.br

<sup>2</sup> Instituto Nacional de Pesquisas Espaciais - INPE  
59076-740 - Natal - RN, Brasil  
{viniciusac, manoel}@crn.inpe.br

**Abstract.** The National Institute for Space Research in partnership with the Brazilian Space Agency and the Institute of Aeronautical Technology (ITA), with the ITASAT project, that aims to develop a Brazilian university satellite, fosters the training of human resources for the aerospace sector. The Brazilian Data Collection System of Brazilian Complete Space Mission, uses Data Collection Platform, Satellites and Receiving Station for acquiring and processing meteorological data coming from various regions of the country. The Data Collection Platform detect meteorological stimuli by sensors, packaging, and send the data for the satellite. That through a device called transponder receives the signals, processes, and transmits them to Ground Stations of data collect from INPE, which are then sent to the Processing and Distribution Center. The Transponder Subsystem is basically composed of Receiver, Digital Processor and Transmitter, and the objective of this paper is describe the used methodology relatives for the digital processing implementation, in addition to commenting on other parts of the subsystem. The main focus is the approach of embedded digital blocks of Digital Processor used, the FPGA, using Hardware Description Language.

**Palavras-chave:** data collection system, satellite, transponder, digital signal processing, sistema de coleta de dados, satélite, transponder, processamento digital de sinais.

### 1. Introdução

O Instituto Nacional de Pesquisas Espaciais (INPE) em conjunto com a Agência Espacial Brasileira (AEB) e com o Instituto Tecnológico de Aeronáutica (ITA), através do projeto ITASAT, que objetiva o desenvolvimento de um satélite universitário brasileiro, propicia a capacitação de recursos humanos para o setor aeroespacial.

Com este programa, surge a oportunidade de estudantes e professores de graduação e pós-graduação atuarem no desenvolvimento dos diversos subsistemas que compõem um satélite. As instituições acadêmicas que atualmente participam do projeto são: EESC-USP, UEL, UFRN, UNB, UNICAMP, TU Berlim e FEG-UNESP.

O Sistema Brasileiro de Coleta de Dados (SBCD) da Missão Espacial Completa Brasileira (MECB) utiliza de Plataforma de Coleta de Dados (PCD), Satélites e Estações de recepção para adquirir e processar dados meteorológicos provindos de diversas regiões do território nacional. Os dados coletados são utilizados em diversas aplicações tais como, previsão de tempo, estudos sobre correntes oceânicas, planejamento agrícola, rastreamento de embarcações entre outras como revela Tude (1986).

A PCD através de sensores detectam os estímulos físicos: temperatura, umidade, direção e velocidade do ar, precipitação, pressão atmosférica, radiação solar e nível da água. Por meio da unidade controladora interna, faz o empacotamento dos dados e os transmite para o satélite, além de armazenar parte deles.

O Satélite através de um equipamento denominado transponder, recebe sinais transmitidos pelas PCDs em uma determinada faixa de frequência, modula em fase e em seguida, retransmite-os em outra faixa de frequência às Estações terrestres de coleta de dados do INPE, onde então são destinados para o Centro de Processamento e Distribuição (CPD).

## 2. Transponder Digital

O dispositivo eletrônico do satélite que recebe o sinal de *uplink*, amplifica, possivelmente processa o sinal, e em seguida, reformata e transmite o sinal de volta à Terra, é chamado de transponder (IPOLLITO JR., 2008).

Para que internamente o transponder possa fazer a recepção dos dados provindos das PCDs na Terra, ele necessita de um circuito eletrônico com dispositivos capazes de processar esta quantidade de informação, denominado receptor. Em Razavi (1998) pode ser encontrada uma abordagem sobre os padrões de arquiteturas de receptores de RF (Rádio Frequência), assim como, é feito por Mitola III(2000), Tuttlebee (2002) e Kenington (2005), um esboço da tecnologia de receptores com base na especificação de Radio Definido por *Software* (RDS).

Neste projeto foi proposta para ao receptor a arquitetura heteródina FI-digital, que possui conversão múltipla de frequência, uma analógica e outra digital. Apesar de esta arquitetura ser mais complexa que a de conversão direta, a mesma apresenta vantagens no tocante a seletividade dos filtros e a precisão dos sinais em quadratura, segundo Kenington (2005) e Tuttlebee (2002), tornando-a mais adequada ao receptor do transponder além de atender a especificação do subsistema elaborada por Cividanes e Chamon (1992).

O esquema adaptado de Tuttlebee (2002) (Figura 1) ilustra a arquitetura mencionada que foi utilizada como base para o desenvolvimento do receptor do transponder, onde podem ser visualizadas as conversões de frequência no domínio analógico e digital. Este receptor é designado para receber sinais na faixa de UHF (*Ultra High Frequency*) com frequência central de 401.635 MHz e transladar estes sinais para a frequência intermediária (FI).

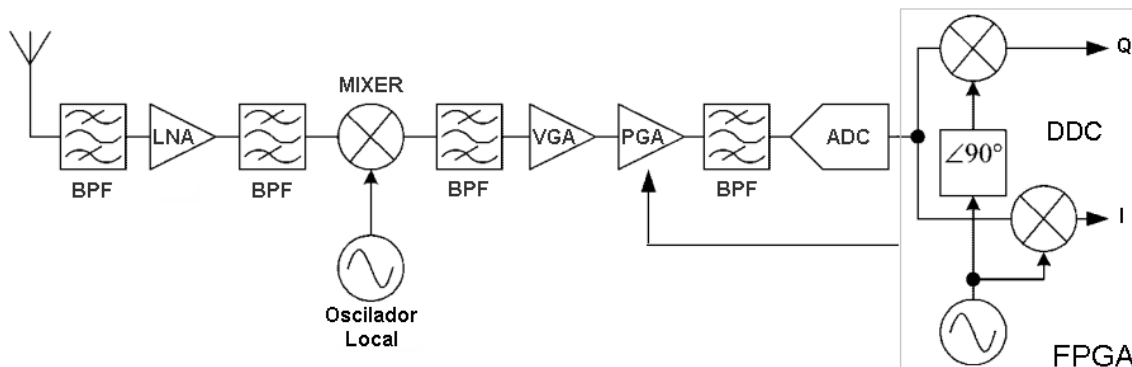


Figura 1. Receptor do Transponder

Os sinais das PCDs ao incidirem na antena quadripolo UHF do transponder, são captados, passam por um estágio de filtragem e amplificação, são transpostos para a FI no domínio analógico, em seguida passam por um estágio de filtragem e amplificação de alto ganho, para que então seja feito o controle de amplitude e a conversão analógico-digital.

Após a digitalização os sinais são entregues ao dispositivo responsável pelo processamento digital, no caso deste subsistema o dispositivo que realiza tal feito é um FPGA (*Field Programmable Gate Array*). O FPGA é um circuito integrado (CI) digital que contém blocos de lógica configurável (CLB) com interconexões configuráveis entre estes blocos (MAXFIELD, 2004). Segundo Vahid (2008), um processador é a combinação de um bloco de controle com um bloco operacional, onde a presença deste dispositivo é uma das justificativas para a denominação transponder digital para este subsistema, como também, de acordo com a classificação contida em ITU (2002) é possível caracterizá-lo como transponder digital de processamento de bordo.

Os sinais em FI provindos do receptor ao serem digitalizados pelo conversor analógico-digital são inseridos no FPGA para que haja o processamento digital adequado, tendo como referência a detalhada abordagem de Kenington (2005) e os requisitos da especificação

preparada por Cividanes e Chamon (1992). O diagrama da Figura 2 contém a arquitetura proposta para realizar o processamento digital de sinais (DSP), onde pode ser visto os blocos digitais que constituem a implementação no FPGA, como também as conexões entre Receptor (RX), FPGA e Transmissor (TX).

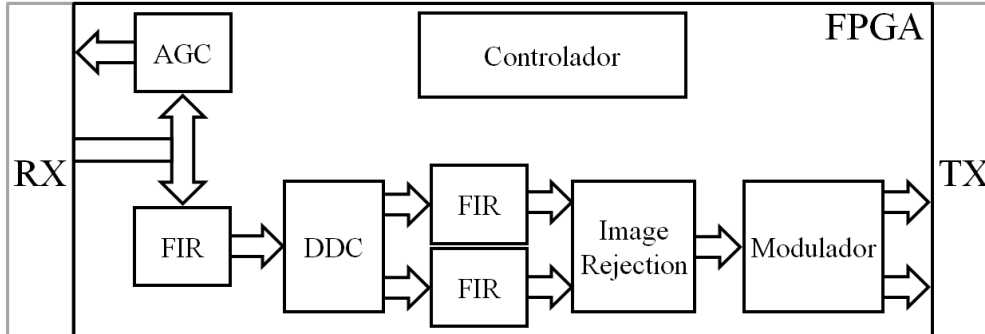


Figura 2. FPGA e os blocos digitais

No FPGA, os sinais em FI oriundos do receptor são filtrados por meio do Filtro FIR (*Finite Impulse Response*), ajustados em amplitude através do AGC (*Automatic Gain Control*), logo após, passam pelo DDC (*Digital Down-Converter*) onde são transladados em quadratura para banda base, de 65 à 125 kHz com efeito doppler (+- 30 kHz), e então novamente filtrados para que possa ser feita a rejeição da frequência imagem. Em seguida é realizada a modulação, onde estes sinais modulam em fase uma portadora de FI e são separados em quadratura. Após este tratamento digital, os sinais em quadratura na FI são inseridos no conversor digital-analógico para que possam ser entregues ao transmissor.

O transmissor do transponder é designado para transladar os sinais providos do FPGA para a Banda S com frequência central de 2267.52 MHz, e assim enviá-los as estações terrenas de recepção, atendendo a especificação preparada por Cividanes e Chamon (1992). Neste projeto foi proposta a arquitetura de conversão direta para o transmissor, devido à maior facilidade na implementação digital para gerar sinais em quadratura na FI, o que simplifica o transmissor, além da escolha desta arquitetura trazer vantagens no tocante a filtros, rejeição de imagem, sendo ainda mais adequada para a implementação em CI, conforme Tuttlebee (2002).

O esquema apresentado na Figura 3, adaptado de Tuttlebee (2002), pode expor a arquitetura mencionada, que foi utilizada como base para o desenvolvimento do transmissor do transponder. Nele pode ser observado que após a conversão digital-analógica dos sinais em quadratura na FI, estes são filtrados, em seguida transladados em quadratura para a frequência de transmissão, sendo em sequência somados, filtrados e amplificados com alta potência, para que seja possível sua captação pelas estações terrenas.

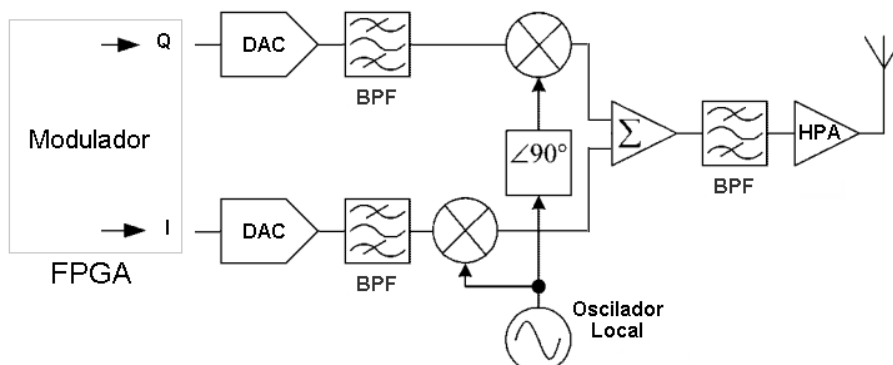


Figura 3. Transmissor do Transponder

Deve ser relevado aqui que o efeito *doppler* inerente ao enlace espacial, que é provocado pelos movimentos da Terra e do satélite no espaço, gera desvios de frequência tanto nos sinais de *uplink*, que são transmitidos pelas PCDs para o satélite, quanto semelhantemente nos sinais de *downlink*, que são transmitidos pelo satélite para as estações de recepção em Terra. Em geral, este efeito é indesejado por provocar erros no enlace, no entanto, conforme Maini e Agrawal (2007), este efeito pode ser utilizado para gerar informação útil de tal forma que permita a obtenção da localização geográfica de transmissores, neste caso as PCDs.

No tópico seguinte encontra-se uma descrição sobre os blocos digitais utilizados no contexto do processamento digital realizado por meio do dispositivo FPGA, sendo focalizado à implementação em HDL (*Hardware Description Language*).

### 3. Blocos Digitais

Para implementar projetos em um FPGA é necessário a utilização de ferramentas de *software* em conjunto com uma HDL, através unicamente da programação textual, ou em paralelo com um esquema constituído de símbolos gerados a partir de uma descrição de *hardware* dos componentes como relatam Harris e Harris (2007) e Navabi (2005).

HDL é uma linguagem de programação de *software* para modelar a operação desejada para uma peça de *hardware* (MAINI e AGRAWAL, 2007), de modo a permitir a descrição tanto do comportamento dos componentes quanto das interconexões estruturais entre eles, como informa Vahid (2008). O poder das linguagens de programação textuais está no fato delas poderem facilmente representar computações complexas incluindo variáveis, *loops*, parâmetros de função e recursão (MARWEDEL, 2006).

As HDLs são usadas para descrever a funcionalidade de circuitos lógicos em RTL (*Register Transfer Level*) na qual sua conversão para um circuito é realizada pela ferramenta CAD (*Computer Aided Design*) de síntese lógica, que gera um *netlist* do circuito de destino através de combinações de elementos do circuito fundamental, de forma que o *netlist* representa o circuito lógico na forma de conexões entre células que são dispostos em uma biblioteca, como reportam Oklobdzija (2002) e Vahid (2008).

Ao passar por este processo de sintetização da implementação em HDL, a ferramenta CAD gera um modelo de máscara contendo o leiaute para fabricação do chip VLSI (*Very-large-scale integration*), segundo Oklobdzija (2002). No caso do projeto deste subsistema, durante as etapas de desenvolvimento e validação será utilizado o dispositivo FPGA, pois de acordo com Woods (2008) essa abordagem permite que possíveis erros de projeto que só são reconhecidos em fases finais de desenvolvimento, possam vir a ser corrigidos reprogramando o FPGA conforme necessário.

Neste projeto se fez uso da linguagem VHDL (*Very-High-Speed Integrated Circuit HDL*), por possuir maior bibliografia segundo D'Amore (2005), além de ser padronizada pelo IEEE Society (2002). Ressalta-se que o objetivo deste trabalho é dar relevância à implementação em HDL dos blocos ao invés de discutir suas teorias de funcionamento. Nos tópicos que seguem são expostas as arquiteturas digitais utilizadas para a codificação em HDL dos blocos.

#### 3.1. Filtro FIR

Na literatura os filtros digitais são amplamente classificados em duas classes, FIR e IIR (*Infinite Impulse Response*), sendo proposto fazer uso de filtros FIR pelas vantagens relacionadas aos seus parâmetros, atraso de grupo, que é constante, e a resposta em fase, que é linear em função da frequência, como afirmam Haykin e Veen (2001), Ifechor e Jervis (2002) e Shenoj (2006). Como o subsistema utiliza da modulação em fase, estas características são relevantes para que os filtros não introduzam deformação de fase nos sinais.

Segundo Meyer-Baese (2001) e Thede (2004), a resposta ao impulso de um filtro FIR interage com a sua entrada através de um processo de convolução linear, comum a um sistema LIT (Linear Invariante no Tempo), no qual o resultado desta convolução é a saída do filtro, sendo expresso pela Equação 1. Desta equação tem-se que  $y$  é a saída do filtro,  $x$  é a entrada, o símbolo  $*$  é o operador de convolução,  $f$  os coeficientes da sua resposta ao impulso, e  $L$  o número de coeficientes do filtro:

$$y(n) = x[n] * f[n] = \sum_{k=0}^{L-1} x[k]f[n - k] \quad (1)$$

Na figura 2 pode ser observada a presença de três filtros FIR, onde o de entrada no FPGA tem resposta em frequência tipo passa-faixa e como frequência central a FI, já os outros dois após o DDC são do tipo passa-baixa e tem como frequência de corte a banda base. De posse dos parâmetros do filtro FIR, o fluxo de projeto segue com o cálculo dos coeficientes, onde foi utilizado a ferramenta "*Filter Design and Analyse*" do *software* MatLab para esta função. No entanto, com base na detalhada abordagem de Thede (2004), pode se chegar ao cálculo dos coeficientes e comprovar a semelhança entre os resultados.

Da equação 1 pode ser derivada uma arquitetura digital equivalente em nível RTL denominada Forma Direta (Figura 4), que é comentada por Haykin e Veen (2001), Ifeachor e Jervis (2002), Meyer-Baese (2001), Shenoj (2006), Thede (2004), Vahid (2008) e Woods (2008), e foi utilizada para a implementação em HDL dos filtros digitais FIR. Desse modo, foi implementado um bloco digital genérico que pode atender a mudanças na especificação dos filtros através de simples alterações no código VHDL, sendo assim, um filtro digital programável.

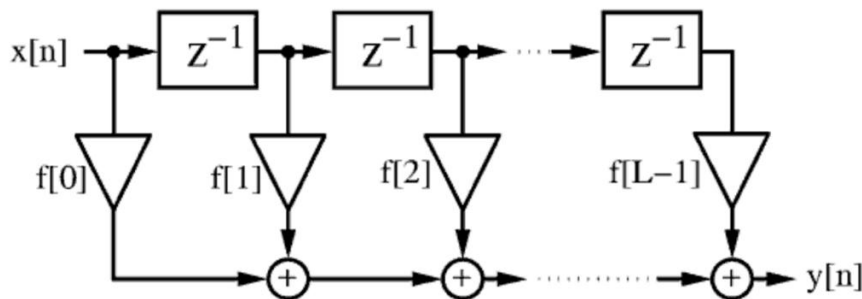


Figura 4. Filtro FIR na Arquitetura Forma Direta. Fonte: Meyer-Baese (2001).

### 3.2 CORDIC (*Coordinate Rotation Digital Computer*)

O algoritmo CORDIC, de início desenvolvido por Volder (1959) para converter entre coordenadas cartesianas e polares, como afirmam Tuttlebee (2002) e Meyer-Baese (2001), deu suporte a computação de operações trigonométricas como seno e cosseno, além de multiplicação e divisão de números, segundo Woods (2008). Com o trabalho realizado por Walther (1971), o uso do algoritmo se estendeu para aplicação de funções hiperbólicas, logaritmo, exponencial e raiz quadrada, desse modo apresentando um algoritmo unificado para os três sistemas de coordenadas linear, circulares e hiperbólicas, como relatam Woods (2008) e Meyer-Baese (2001).

Outros trabalhos relevantes com foco na implementação deste algoritmo podem ser citados, como o de Andraka (1998), o qual descreve tarefas de DSP, e o de Valls (2006), que trata da aplicação do algoritmo em RDS. A iniciativa para o estudo e implementação do algoritmo iterativo CORDIC se deu pelo fato do mesmo reduzir a necessidade de grandes tabelas definidas em memória e exigir apenas operações básicas, como deslocamento, soma e

subtração, como justificam Andraka (1998), Tuttlebee (2002) e Woods (2008), desse modo representando vantagens na sua implementação digital.

A implementação digital tomou como referência a arquitetura *pipelined* descrita por Andraka (1998) e Meyer-Baese (2001), para a codificação em HDL do CORDIC. Abaixo segue um diagrama (Figura 5) adaptado de Valls (2006), contendo o bloco CORDIC e a descrição de suas entradas e saídas operando no modo rotação, o qual realiza a rotação de um vetor com coordenadas iniciais  $(X_0, Y_0)$  por um ângulo  $\theta$ , e multiplica as saídas por uma constante  $K$ , como é explicado por Volder (1959) e Andraka (1998).

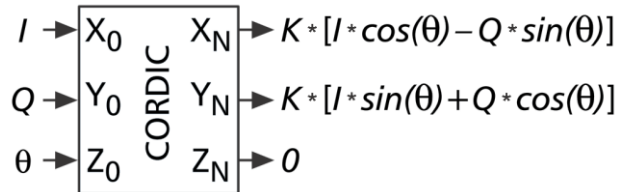


Figura 5. CORDIC no modo Rotação

Com a visualização da Figura 5 é possível perceber a relação entre as entradas e saídas do bloco CORDIC, assim como atentar para a possibilidade do uso deste bloco para a geração de frequência. Por meio do estudo sobre Sintetizador Digital Direto (DDS) e Oscilador Controlado Numericamente (NCO), consegue-se adquirir base para a implementação do bloco digital NCO através a utilização do CORDIC. Apesar do NCO não estar contido na Figura 2, este bloco apresenta relevante função em DSP, assim sendo implementado para auxiliar no projeto.

A seguir são apresentados os blocos digitais *Down-Converter*, *Image Rejection* e Modulador, aos quais o CORDIC foi adequado para a implementação de suas arquiteturas.

### 3.2.1. DDC

Para a implementação do bloco conversor para baixo digital foram apreciadas as abordagens de Tuttlebee (2002), Valls et al. (2006) e Löhning et al. (2000), que tratam de uma arquitetura a qual faz uso dos blocos somador, registrador e CORDIC para tornar possível o batimento em frequência no domínio digital (Figura 6). Os blocos somador e registrador acumulam a fase necessária a entrada  $Z_0$  do CORDIC, que por sua vez computa os sinais cosseno e seno de frequência  $f$  (Equação 2) e mixa-os com os sinais da entrada  $I$ , desse modo realizando a conversão para baixo digital em quadratura e gerando as saídas  $X_N$  (Sinal *In-phase*) e  $Y_N$  (Sinal *Quadrature*).

$$f = \frac{(\text{Passo} * F_{\text{clk}})}{2^N} \quad (2)$$

A Equação 2 modela a frequência do oscilador local em quadratura ( $f$ ), que é relacionada com as variáveis Passo (Incremento de fase),  $F_{\text{clk}}$  (Frequência do clock),  $N$  (Número de bits de precisão do DDC).

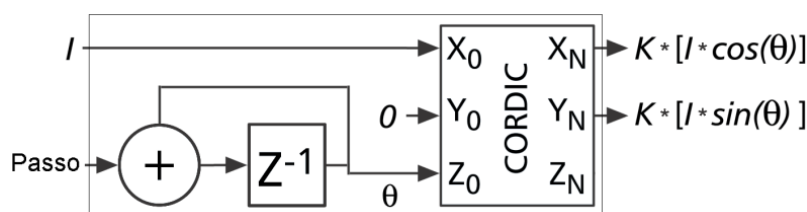


Figura 6. Bloco DDC.

### 3.2.2. Image Rejection

Com base na literatura de Razavi (1998), Kenington (2005), Ellinger (2007) e Rogers (2003), que se remetem as arquiteturas introduzidas por Hartley (1928) e Weaver (1956), foi possível a concepção dos métodos de rejeição de frequência imagem e a implementação em HDL de dois blocos digitais através dos referidos embasamentos teóricos. Para a implementação do *mixer* de rejeição de imagem descrito por Weaver (1956) em HDL fazendo uso do algoritmo CORDIC, foi examinado o trabalho de Löhning et al. (2000) que é citado por Tuttlebee (2002).

Desse modo, foram feitas duas implementações para o bloco digital *Image Rejection*, a fim de comparar em momento oportuno a eficácia de cada uma no tocante à taxa de rejeição de imagem (IRR). A Figura 5 ilustra o bloco CORDIC que nativamente é um *mixer* em quadratura, e em conjunto com os blocos anteriores, DDC e filtros FIR, constitui uma arquitetura para rejeição de frequência imagem, a qual possui entradas para os sinais oriundos dos filtros FIR e saída a porta  $X_N$ .

### 3.2.3. Modulador em Fase (PM)

Para a implementação em HDL do bloco Modulador foi examinada a arquitetura de modulação apresentada por Meyer-Baese (2001), que também é exposta por Valls et al. (2006). A qual o CORDIC em conjunto com os blocos registrador e somadores, permite computar no domínio digital as modulações AM, FM, PM, ASK, FSK e PSK, sendo esta arquitetura implementada e configurada para a modulação em fase, de modo a atender a especificação elaborada por Cividanes e Chamon (1992).

Na Figura 7 pode ser visualizada a arquitetura adaptada de Valls et al. (2006) utilizada para a modulação em fase do subsistema, que possui as entradas  $F_c$  (Frequência da portadora) que obedece a Equação 2 e  $\Phi_m$  (Sinal modulador), e nas saídas o sinal modulado separado em quadratura.

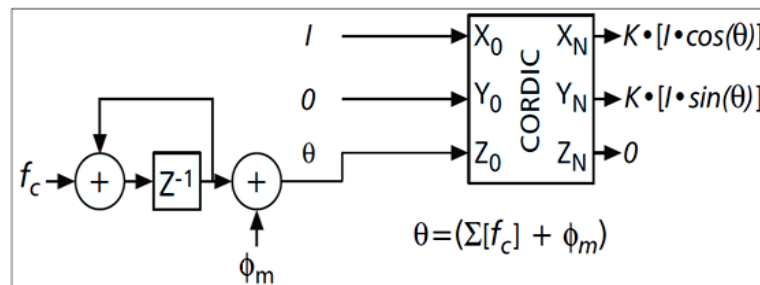


Figura 7. Bloco Modulador PM.

## 4. Conclusões

O presente trabalho expôs o estágio atual de desenvolvimento do subsistema transponder digital, no qual discorreu de forma objetiva sobre a implementação referente ao domínio digital. Considerando a arquitetura digital proposta, os blocos digitais Controlador e AGC não foram mencionados por se encontrarem em fase de desenvolvimento devido às suas interações com os demais componentes do subsistema.

Para a otimização em etapas finais do projeto, pode ser avaliada a possibilidade da utilização de um ASIC (*Application Specific Integrated Circuit*), pois esta tecnologia de CI é mais eficiente no tocante a atraso, tamanho e consumo. A abordagem ASIC estruturada a qual converte a implementação de FPGA para ASIC facilita a migração.

O método de projeto utilizado permite a realização de ajustes que promovam o aperfeiçoamento do transponder, de modo que, em etapas subsequentes possa ser cogitado o aumento da capacidade de processamento a bordo, para que haja ampliação no número de aplicações em coleta de dados.

## Referências Bibliográficas

- Andraka R. A survey of CORDIC algorithms for FPGA based computers, Proceedings of the 1998 ACM/SIGDA **6th International symposium on Field programmable gate arrays**, p. 191–200, 1998.
- Cividanes, L.B.T.; Chamon, M.A. **DCP Transponder Specification**, São José dos Campos. (CBERS, CBLA-IHDS-026) Instituto Nacional de Pesquisas Espaciais, 1992.
- D'Amore, R. **VHDL: Descrição e Síntese de Circuitos Digitais**. Rio de Janeiro: LTC. 2005. 275 p.
- Ellinger, F. **Radio Frequency Integrated Circuits and Technologies**. Berlin: Springer, 2007. 507 p.
- Harris, D.M.; Haris, S.L. **Digital Design and Computer Architecture**. San Francisco: Morgan Kaufmann Publishers. 2007. 569 p.
- Hartley, R. **Modulation System**, U.S. Patent n. 1666206, Abril, 1928.
- Haykin, S.; Veen B.V. **Sinais e Sistemas**. Porto Alegre: Bookman, 2001. 668 p.
- Ifeachor, E. C.; Jervis B. W. **Digital Signal Processing: a practical approach**. Upper Saddle River: Prentice Hall. 2002. 933 p.
- International Telecommunications Union., **Handbook on Satellite Communications (HSC)**. Chichester: John Wiley & Sons Ltd, 2002. 1076 p.
- Ippolito Jr, I. J., **Satellite communications systems engineering: atmospheric effects, satellite link design, and system performance**. Chichester: John Wiley & Sons Ltd, 2008. 376 p.
- Kenington, P.B. **RF and baseband techniques for software defined radio**. Norwood: Artech House, Inc, 2005.340 p.
- Löhning, M. et al. Digital down conversion in software radio terminals. **Proceedings of the 10th European Signal Processing Conference (EUSIPCO)**. v. 3, p. 1517 – 1520, 2000.
- Maini, A.K. **Digital electronics – principles, devices and applications**. Chichester: John Wiley & Sons, Ltd. 2007. 727 p.
- Maini, A.K.; Agrawal, V. **Satellite Technology: principles and applications**. Chichester: John Wiley & Sons Ltd. 2007. 558 p.
- Marwedel, P. **Embedded System Design**. Dordrecht: Springer. 2006. 241 p.
- Maxfield, C.M., **The design Warrior's Guide to FPGAs**. Burlington: Newnes 2004. 542 p.
- Meyer-Baese, U. **Digital Signal Processing with Field Programmable Gate Arrays**. New York: Springer. 2007. 774 p.
- Mitola III, J., **Software radio architecture: object – oriented approaches to wireless systems engineering**. New York: John Wiley & Sons Ltd., 2000. 542 p.
- Navabi, Z. **Digital design and implementation with field programmable devices**. Boston: Kluwer Academic Publishers. 2005 293 p.
- Oklobdzija, V.G. **The Computer Engineering Handbook**. Boca Raton: CRC Press. 2002. 1408 p.
- Razavi, B., **RF Microelectronics**. Los Angeles: Prentice Hall PTR, 1998. 335 p.
- Rogers, J.; Plett, C. **Radio frequency integrated circuit design**. Norwoold: Artech house, inc. 2003. 410 p.
- Shenoi, B.A. **Introduction to Digital Signal Processing and Filter Design**. Hoboken: John Wiley & Sons 2006. 423 p.
- Society, C. IEEE. **IEEE Standard 1076 VHDL: Language Reference Manual**. Nova York: The Institute of Electrical and Electronics Engineers, Inc. 2002.
- Thede, L. **Practical Analog and Digital Filter Design**. Norwood: Artech House, Inc. 2004. 270 p.
- Tude, E. A. P. et al. **Análise do sistema de coleta de dados MECB/SS**, São José dos Campos, 96 p. (INPE-3820-NTE/253). Instituto Nacional de Pesquisas Espaciais, 1986.
- Tuttlebee, W., **Software defined radio - enabling technologies**. Chichester: John Wiley & Sons Ltd. 2002. 402 p.
- Vahid, F. **Sistemas Digitais: projeto, otimização e HDLs**. Porto Alegre: Artmed. 2008. 560 p.
- Vahid, F. **Sistemas Digitais: projeto, otimização e HDLs**. Porto Alegre: Artmed. 2008. 560 p.
- Valls J. et al., The use of cordic in software defined radios: A tutorial. **IEEE Communications Magazine**, v. 44, n. 9, p. 46 – 50, 2006.
- Volder J. E. The CORDIC trigonometric computing technique. **IRE Transactions on Electronics Computers**, v. EC-8, n. 3, p. 330 – 334, 1959.
- Walther J. S. A unified algorithm for elementary functions. **Proceedings of the Joint Spring Computer Conference**, p. 379 – 385, 1971.
- Weaver, D. K. A Third Method of Generation and Detection of Single-Sideband Signals. **Proceedings of the IRE**, v. 44, p. 1703-1705, 1956.
- Woods, R. et al. **FPGA-based implementation of complex signal processing systems**. Chichester: John Wiley & Sons, Ltd. 2008. 364 p.